

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000074495 A
(43)Date of publication of application: 15.12.2000

(71)Applicant: LEE, HYUNG JAE
YANG, GYE MO

(72)Inventor: LEE, HYUNG JAE
YANG, GYE MO

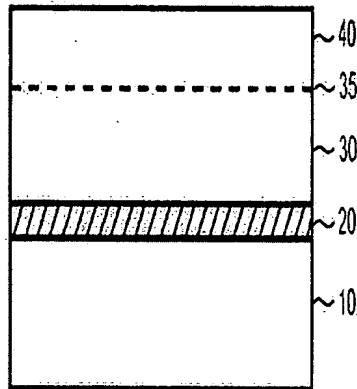
(51)Int. Cl. H01L 21/20

(54) METHOD FOR MANUFACTURING A NITRIDE SEMICONDUCTOR

(57) Abstract:

PURPOSE: A method for manufacturing a nitride semiconductor is provided to use a delta-doping method for preventing a diffusion and a surface desorption of a dopant while not deteriorating a crystallization of a nitride semiconductor epi-layer.

CONSTITUTION: A buffer layer(20) is grown on a substrate(10). The first epi-layer structure composed of a nitride semiconductor is grown on the buffer layer. The growth of the first epi-layer structure is stopped, and a metal-organic chemical vapor deposition(MOCVD) process is performed within a temperature scope from 800 to 1100°C at a mixture gas atmosphere of a dopant gas, an ammonia gas and a transfer gas to delta-dope the dopant on the first epi-layer structure.



COPYRIGHT 2001 KIP0

Legal Status

Date of final disposal of an application (20010326)

Patent registration number (1002950220000)

Date of registration (20010424)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/20(11) 공개번호 특2000-0074495
(43) 공개일자 2000년12월15일(21) 출원번호 10-1999-0018479
(22) 출원일자 1999년05월21일(71) 출원인 양계모
전라북도 전주시 완산구 서신동 엘지아파트 101동 301호
이형재
전라북도 전주시 덕진구 인후동 광진궁전아파트 6동 507호
(72) 발명자 양계모
전라북도전주시완산구서신동엘지아파트101동301호
이형재
전라북도전주시덕진구인후동광진궁전아파트6동507호
(74) 대리인 허진석
심사청구 : 있음

(54) 질화물 반도체 제조방법

요약

우수한 특성의 델타도핑면을 갖는 질화물 반도체의 제조방법에 대해 개시한다. 본 발명의 제조방법은, 기판 위에 버퍼층을 성장시키는 단계와; 상기 버퍼층 위에 질화물 반도체로 형성된 제1 에피층구조를 성장시키는 단계와; 상기 제1 에피층구조의 성장을 중단시킨 상태에서, 도펀트 소스와 암모니아가스 및 이송가스의 혼합가스 분위기 및 800~1100℃의 온도범위의 온도에서 유기금속 화학기상증착 공정을 진행하여 상기 도펀트를 상기 제1 에피층구조 위에 델타도핑하는 단계와; 상기 델타도핑 단계 후, 800~1100℃의 온도범위의 성장온도에서 상기 질화물 반도체로 형성된 제2 에피층구조를 성장시키는 단계를 구비하는 것을 특징으로 한다.

대표도

도1

색인어

질화물 반도체 델타도핑 사파이어 멈춤시간 도펀트 MOCVD

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 의해 제조된 질화물 반도체의 구조를 개략적으로 나타낸 단면도;

도 2는 델타도핑하는 시간을 변화시켜 가며 제조한 질화물 반도체의 캐리어 농도분포를 박막깊이에 따라 나타낸 그래프; 및

도 3은 델타도핑 직후 성장을 정지시키는 시간을 변화시켜 가며 제조한 질화물 반도체 내의 캐리어 농도분포를 박막깊이에 따라 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 기판 20 : 버퍼층

30, 40 : 도핑하지 않은 제 1 및 제2 GaN 에피층

35 : Si 델타도핑면

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 질화물 반도체 제조방법에 관한 것으로, 특히, 결정성이 우수한 질화물 반도체의 에피층구조에 유기금속 화학기상증착법(Metal-Organic Chemical Vapor Deposition: 이하, MOCVD라 칭함)으로 고온에서 델타도핑을 하여 질화물 반도체를 제조하는 방법'에 관한 것이다.

최근에 질화물 반도체를 이용한 고휘도 발광소자와 고출력 전자소자에 관해 많은 관심이 모아지고 있는데, 이러한 소자들은 그 경제적 인 가치가 매우 크다는 점에서 전망성이 높다.

질화물 반도체를 성장시키는 방법으로서 MOCVD법이 잘 알려져 있다. 이 방법에 의하면, 반응가스로서 유기금속 화합물과 암모니아를 반응관 안으로 유입시키고 이 반응관 내에 놓은 사파이어 등의 기판을 800℃~1100℃의 높은 온도로 유지하여 이 기판 위에 GaN 등의 질화물 반도체 에피층을 성장시킨다.

그런데, 사파이어 기판과 질화물 반도체간에는 격자부정합 및 열팽창계수의 차이와 같은 물질특성의 차이가 있기 때문에 사파이어 기판의 표면에서 생성되는 많은 전위결함이 질화물 반도체의 에피층으로 전파된다. 따라서, 고품질의 질화물 반도체 에피층을 성장시키는 데는 어려움이 따르고 있다.

소자에 응용하기 위해서는 통상적으로 양질의 에피층을 얻는 것이 필수적인데, 이를 위해서 종래기술에서는 사파이어 기판 위에 먼저 낮은 온도에서 버퍼층을 성장한 후에 높은 온도에서 소자 구조를 성장시킨다. 이와 같은 방법으로 전위결함밀도가 10

$7 \sim 10^{10} \text{ cm}^{-2}$ 정도인 편평한 표면이 얻어지고 있다.

한편, 3차원적으로 균일하게 도핑하는 방법에 반하여 2차원적으로 어떤 특정부분만 평면으로 도핑하는 개념인 델타도핑 방법은 GaAs계 및 InP계 III-V족 화합물 반도체의 연구에 있어서 잘 알려져 있다. 델타도핑은 기판 위에 반도체 에피층을 성장시킴에 있어서 에피층의 성장도중에 성장을 멈춘 채 결정성장장치 내부로 도펀트(dopant)를 유입시켜 원자층 두께의 도핑면을 형성시킨 후 그 위에 다시 에피층의 성장을 계속하는 방법으로서, 이 때 도펀트에 의한 강한 전기장에 의해서 포텐셜 우물이 형성되고, 이 포텐셜 우물에 높은 농도의 전하층을 형성시킬 수 있다. 또한, 델타도핑한 경우의 도펀트 가용성은 균일하게 도핑한 경우의 도펀트 가용성 한계를 넘을 수 있기 때문에 높은 전하농도를 얻을 수 있을 뿐만 아니라, 한 두 원자층 두께 정도로 도핑을 하기 때문에 도펀트에 의해 결정성이나 표면 상태가 나빠지지는 않는다. 이와 같은 델타도핑을 이용하여 종래의 소자특성을 크게 향상시킬 수 있고 또한 새로운 소자를 제조할 수 있게 되는데, 그 예로 델타도핑된 전하공급층을 가지고 있는 이중접합 구조의 전계효과 트랜지스터는 포화전류, 전달콘덕턴스, 누설전류, 항복전압 등의 면에서 우수한 특성을 나타내는 것으로 알려지고 있으며, 광소자에도 응용되고 있고, 오믹특성을 향상시키기 위해서도 이용되고 있다.

그러나, 이러한 델타도핑의 장점과 최근에 질화물 반도체를 이용한 고휘도 청색 발광소자 및 고출력 전계효과 트랜지스터에 관한 많은 관심이 모아지고 있음에도 불구하고 아직까지 질화물 반도체 내에 델타도핑하는 방법이 제안되지 않았다. 그 이유는 GaN계 질화물 반도체의 MOCVD법에 의한 성장온도가 GaAs계 및 InP계 화합물 반도체의 성장온도보다 300℃ 이상 높은 800~1100℃ 영역이라는 사실에 기인한 것으로 예상된다. 즉, 질화물 반도체의 성장 중 고온에 따른 도펀트의 확산에 의하여 델타도핑이 전혀 이루어지지 않으리라는 선입견이 있었던 것으로 보인다.

그러나, 본 발명자들은 GaN계 질화물 반도체를 성장시킬 때 MOCVD 반응관 내에 발생하는 원자수소가 성장 중의 에피층의 표면과 전위결함을 수소화시킴으로써 도펀트의 확산 및 델타도핑된 도펀트의 표면 탈착을 억제한다는 사실을 알아내었다. 이들 기초로 본 발명자들은 질화물 반도체 내에서 MOCVD법으로 델타도핑을 하는 방법을 제시하였다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 기술적 과제는 질화물 반도체 에피층의 결정성을 열화시키지 않으면서도 도펀트의 확산 및 표면탈착을 방지할 수 있는 델타도핑 방법을 이용한 질화물 반도체의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위한 본 발명의 질화물 반도체 제조방법은, 기판 위에 버퍼층을 성장시키는 단계와; 상기 버퍼층 위에 질화물 반도체로 형성된 제1 에피층구조를 성장시키는 단계와; 상기 제1 에피층구조의 성장을 중단시킨 상태에서, 도펀트 소스와 암모니아가스 및 이송가스의 혼합가스 분위기 및 800~1100℃의 온도범위의 온도에서 유기금속 화학기상증착공정을 진행하여 상기 도펀트를 상기 제1 에피층구조 위에 델타도핑하는 단계와; 상기 델타도핑 단계 후, 800~1100℃의 온도범위의 성장온도에서 상기 질화물 반도체로 형성된 제2 에피층구조를 성장시키는 단계를 구비하는 것을 특징으로 한다.

본 발명에 있어서, 수소가스, 암모니아 가스 및 유기 금속 소스를 공급하여 형성되는 GaN층 또는 InAlGaN층을 상기 제1 및 제2 에피층으로 선택하는 것이 바람직하다. 왜냐하면, 이들 에피층의 성장시 발생하는 원자수소가 성장 중의 에피층의 표면과 전위결함을 수소화시킴으로써 도펀트의 확산 및 델타도핑된 도펀트의 표면 탈착을 억제할 수 있기 때문이다.

한편, 상기 제1 및 제2 에피층구조들의 성장을 멈추게 하는 시간을 각각 0~20초 범위로 상기 델타도핑 단계의 적어도 직전·직후에 주어서, 최적화된 델타도핑 프로파일을 실현하도록 하는 것도 바람직하다.

또한, 상기 델타도핑 단계에서 실리콘(Si) 또는 마그네슘(Mg)이 불순물로 도핑되도록 도펀트 소스를 선택할 수도 있다.

이하, 본 발명의 실시예에 의해 제조된 질화물 반도체의 단면도인 도 1을 참조하여 본 발명의 방법에 대해 상세히 설명한다.

먼저, 기판(10)을 세정한 다음, 그 내부가 저압으로 유지된 MOCVD 반응관 내의 서셉터(susceptor) 위에 기판(10)을 얹어 놓았다. 사

용되는 기판의 재질은 GaN, 사파이어, Si, SiC, GaAs 등이 될 수 있으나, 현재 일반적으로 사파이어를 사용하고 있기 때문에 본 실시예에서도 사파이어를 선택하였다.

이후 반응관 내의 공기를 충분히 제거한 다음, 이 반응관 내에 수소가스를 계속 공급하여 수소분위기로 유지한 상태에서 기판(10)을 1070℃의 온도로 가열하여 10분간 유지하여 사파이어 기판(10) 표면의 산화막을 제거했다.

이어 기판(10)의 온도를 520℃까지 낮추되 수소가스를 4slm(standard liter per minute), 암모니아가스를 3slm의 유동률(flow rate)로 각각 반응관 내에 공급하여 기판(10)의 온도가 520℃로 안정될 때까지 기다렸다.

다음, 버퍼층(20)을 성장시키기 위해 수소가스와 암모니아가스와 함께 트리메틸갈륨(trimethylgallium; 이하, TMG라 칭함)을 6×10^{-5} 몰/분의 유동률로 반응관의 내부로 흘렸다. 그리고, 버퍼층(20)이 200 Å 정도의 두께로 성장한 후 TMG만을 반응관의 외부로 배출하여 버퍼층(20)의 성장을 멈추게 하였다.

이어서 기판(10)의 온도를 1040℃로 상승시킨 후, 수소가스와 암모니아가스와 함께 TMG를 8.2×10

$^{-5}$ 몰/분의 유동률로 흘려 GaN으로 이루어진 제1 에피층(30)을 $1.7 \mu\text{m}$ 두께로 성장시켰다. 이때 제1 에피층(30)은 바탕전자농도가 8×10

$^{16} \text{cm}^{-3}$ 인 n형이었다.

제1 에피층(30)을 성장시킨 후, TMG만을 반응관의 외부로 배출하여 GaN 에피층의 성장을 10초간 중지한 다음 수소가스와 암모니아가스와 함께 사일렌(SiH_4)가스를 30~60초동안 반응관의 내부로 유입하여 제1 에피층(30) 표면에 Si 델타도핑면(35)을 형성하였다.

다음, 0초 또는 10초동안 사일렌가스를 반응관의 외부로 배출한 후에 델타도핑면(35)위에 다시 GaN 에피층을 덮개층으로 하는 제2 에피층(40)을 1700 Å 정도 성장시켰다.

이와 같은 델타도핑면(35)과 제1 및 제2 GaN 에피층(30, 40)의 성장은 모두 1040℃의 온도에서 이루어졌다.

이후, 수소가스와 암모니아가스만을 반응관으로 흘리면서 기판의 온도를 낮추었다.

상기 도핑되지 않은 제1 및 제2 에피층(30, 40)으로서 GaN 에피층 대신에 인듐(In)과 알루미늄(Al)이 포함된 InAlGaN을 형성할 수도 있다.

본 발명자들의 연구결과, 우수한 특성을 나타내는 델타도핑면(35)의 형성온도는 800~1100℃ 범위에 있음을 알 수 있었다. 즉, 성장온도가 800℃ 미만이면 에피층의 결정성이 나빠지고, 성장온도가 1100℃를 넘으면 성장되는 에피층 표면과 델타도핑할 때 도펀트의 분해가 심하게 일어나는 경향이 있었다.

이와 같이 MOCVD법으로 질화를 반도체내에 형성한 델타도핑층의 특성을 알아보기 위하여 정전용량-전압 프로파일(capacitance-voltage profile) 측정을 통해 질화를 반도체 내의 캐리어 농도를 조사하였다.

도 2는 델타도핑하는 시간을 변화시켜 가며 제조한 질화를 반도체 내의 캐리어 농도분포를 박막깊이에 따라 나타낸 그래프이다. 델타도핑된 질화를 반도체의 제조에 있어서, 사일렌가스의 유동률을 4×10

$^{-9}$ 몰/분으로 하고 델타도핑 시간을 30초, 45초 및 60초로 변화시키면서 델타도핑면을 형성하였는데, 델타도핑면 형성 전·후에 각각 10초씩 제1 및 제2 에피층의 성장을 멈추게 하였다.

도 2를 참조하면, 델타도핑면이 잘 형성되기 위해서는 델타도핑용 사일렌가스를 흘려주는 최적시간이 있음을 알 수 있다. 상기 조사에서는 델타도핑시간이 45초일 때 프로파일의 반폭치가 41 Å으로 거의 이상적인 상태에 근접하고 있다.

그런데, 60초로 더 오랫동안 델타도핑면을 형성한 경우는 프로파일의 피크농도가 감소하는데, 이는 델타도핑하는 온도가 1040℃로 높기 때문에 GaN 에피층의 표면에 흡착된 Si원자가 다시 탈착되는 과정이 일어나기 때문이다.

다음, 도 3은 델타도핑 직후 성장을 정지시키는 시간을 변화시켜 가며 제조한 질화물 반도체 내의 캐리어 농도분포를 박막깊이에 따라 나타낸 그래프이다.

즉, 델타도핑된 질화를 반도체의 제조에 있어서, 델타도핑면을 형성하는 공정과 이 델타도핑면을 덮는 제2 GaN 에피층을 다시 성장시키는 공정 사이에 성장멈춤시간을 0초와 10초로 변화시켰다. 델타도핑면은 사일렌가스의 유동률을 2×10

$^{-9}$ 몰/분으로 하여 60초동안 형성하였으며, 사일렌가스를 반응관의 외부로 배출하고 수소가스와 암모니아가스만을 반응관의 내부로 흘리는 방법으로 에피층의 성장을 멈추게 하였다. 이와 같은 에피층의 성장멈춤시간이 델타도핑면에 미치는 영향을 알아보기 위하여 정전용량-전압 프로파일을 측정하여 질화물 반도체 내의 캐리어 농도분포를 박막깊이에 따라 조사하였다.

도 3을 참조하면, 델타도핑면 형성 후 성장멈춤시간이 길어지면 프로파일의 반폭치가 급속히 넓어지고 프로파일의 피크농도도 감소하는 것을 알 수 있다. 이는 델타도핑하는 온도가 1040℃로 높기 때문에 GaN 에피층의 표면에 흡착된 Si원자가 델타도핑한 후 성장멈춤 시간동안 탈착되기 때문이다.

따라서, 양호한 델타도핑이 이루어진 질화물 반도체를 제조하기 위해서는, 기판 위에 버퍼층을 형성하고 그 위에 표면이 편평하여 결

성장이 좋은 에피층을 성장하며 2차원적인 질서면에 도펀트를 구축시키고 인위결함에 의한 도펀트확산을 억제하며, 최적의 델타도핑 시간과 델타도핑 후 성장멈춤시간을 짧게 하여 에피층에 흡착된 도펀트의 탈착을 억제하는 것이 필요함을 알 수 있다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따르면, MOCVD법으로 기판 위에 버퍼층을 성장하고 그 위에 에피층을 성장한 다음 최적의 델타도핑시간 동안 델타도핑면을 형성한 후 성장멈춤시간을 짧게 하여 800~1100℃의 높은 성장온도에서 델타도핑을 수행함에 따라 델타도핑면 내에 있는 도펀트의 확산과 에피층 표면에서의 탈착을 억제할 수 있다. 따라서, 질화물 반도체를 이용한 고휘도 청색 발광소자 및 고출력 전계효과 트랜지스터 등에 다양하게 응용될 수 있다.

(57)청구의 범위

청구항1

기판 위에 버퍼층을 성장시키는 단계와;

상기 버퍼층 위에 질화물 반도체로 형성된 제1 에피층구조를 성장시키는 단계와;

상기 제1 에피층구조의 성장을 중단시킨 상태에서, 도펀트 소스와 암모니아가스 및 이송가스의 혼합가스 분위기 및 800~1100℃의 온도범위의 온도에서 유기금속 화학기상증착공정을 진행하여 상기 도펀트를 상기 제1 에피층구조 위에 델타도핑하는 단계와;

상기 델타도핑 단계 후, 800~1100℃의 온도범위의 성장온도에서 상기 질화물 반도체로 형성된 제2 에피층구조를 성장시키는 단계들 구비하는 질화물 반도체 제조방법.

청구항2

제1항에 있어서, 상기 제1 및 제2 에피층은 수소가스, 암모니아 가스 및 유기 금속 소스를 공급하여 형성되는 GaN층 또는 InAlGaN층인 것을 특징으로 하는 질화물 반도체 제조방법.

청구항3

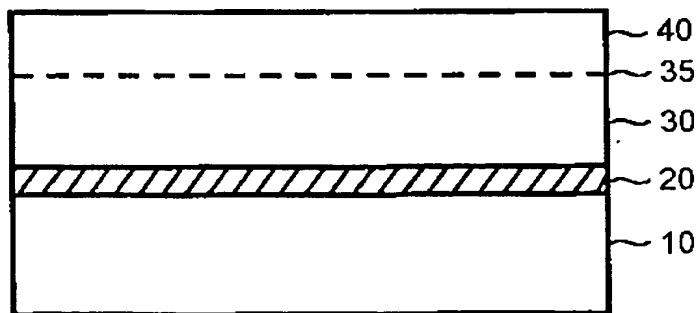
제1항 또는 제2항에 있어서, 상기 제1 및 제2 에피층구조들의 성장을 멈추게 하는 시간이 각각 0~20초 범위로 상기 델타도핑 단계의 적어도 직전·직후에 주어지는 것을 특징으로 하는 질화물 반도체 제조방법.

청구항4

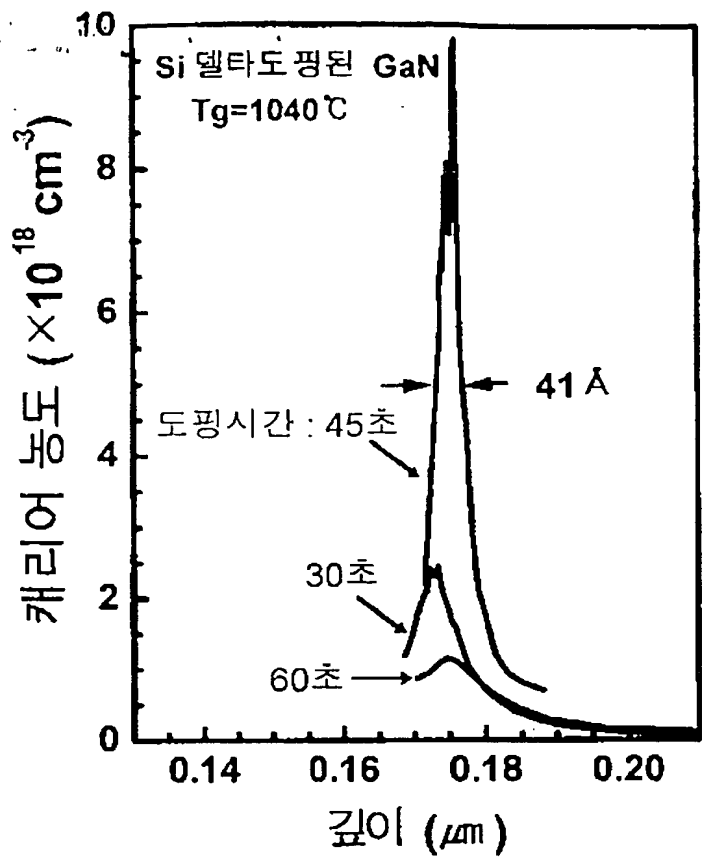
제1항 또는 제2항에 있어서, 상기 델타도핑 단계에서 Si 또는 Mg가 불순물로 도핑되도록 하는 도펀트 소스를 선택하는 것을 특징으로 하는 질화물 반도체 제조방법.

도면

도면1



도면2



도면3

